

CONTROL DATA REWRITING METHOD TO MULTI-CPU

Publication number: JP6195310

Publication date: 1994-07-15

Inventor: KAWAKAMI MIKIO

Applicant: FUJITSU LTD

Classification:

- International: G06F13/00; G06F13/38; G06F15/16; G06F15/177;
G06F13/00; G06F13/38; G06F15/16; (IPC1-7):
G06F15/16; G06F13/00; G06F13/38

- european:

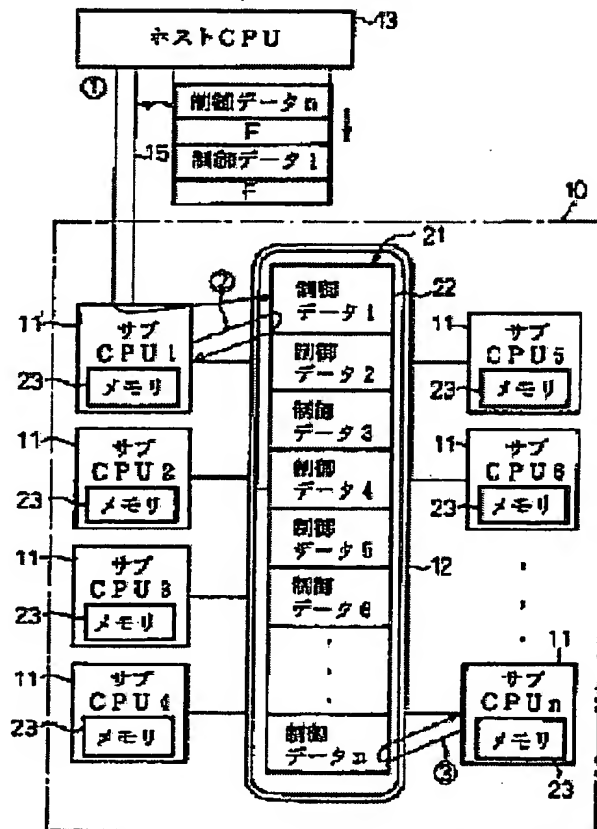
Application number: JP19920342440 19921222

Priority number(s): JP19920342440 19921222

Report a data error here

Abstract of JP6195310

PURPOSE: To economically execute rewriting of control data to each sub-CPU in the multi-CPU by constituting each sub-CPU so as to rewrite the control data held in its own memory by control data read from a memory area corresponding to itself. **CONSTITUTION:** Each control data to which a flag F for discriminating each corresponding sub-CPU is added, respectively is transmitted to a communication circuit 15 from a host CPU 13. Subsequently, the transmitted control data is received by one sub-CPU (representative sub-CPU 11) determined in advance in a multi-CPU 10, and also, the received control data is stored temporarily in a memory area 22 corresponding to each sub-CPU in a common memory 21 which can be accessed in common by each sub-CPU 11. Each sub-CPU 11 is constituted so that the control data held in its own memory 23 is rewritten by new control data read from the memory area 22 corresponding to itself.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-195310

(43)公開日 平成6年(1994)7月15日

(51)Int.Cl. ⁵	識別記号	片内整理番号	FI	技術表示箇所
G 0 6 F 15/16	3 2 0 Z	7429-5L		
13/00	3 5 5	7368-5B		
13/38	3 4 0 B	8944-5B		

審査請求 未請求 請求項の数 2(全 5 頁)

(21)出願番号 特願平4-342440

(22)出願日 平成4年(1992)12月22日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 川上 美輝男

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 青木 朗 (外3名)

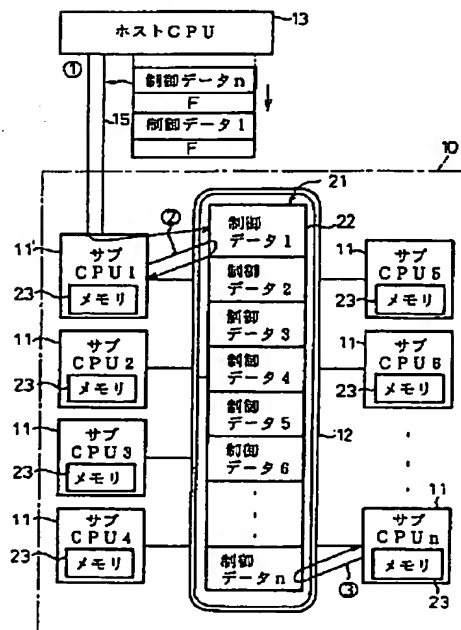
(54)【発明の名称】 マルチCPUに対する制御データ書換え方法

(57)【要約】

【目的】 ホストCPUより、各々が共通バスに接続される複数のサブCPUを有するマルチCPUに対し個別に制御データの書換えを行う方法に関し、各サブCPUに個別に回線を設けたりあるいは各サブCPUにオペレータが外向いたりすることなく制御データの書換えができるようにすることを目的とする。

【構成】 ホストCPUから、複数のサブCPUの中の代表の1つに、対応するサブCPUを識別可能なフラグを付加したり制御データを送信すると、この代表のサブCPUは、全てのサブCPUによって共通にアクセス可能な共通メモリ内の対応するメモリ領域にこれを格納し、引続き各サブCPUは対応するメモリ領域より読み取ったその制御データによって、自内に保持していた制御データを書換えるように構成する。

本発明の方法の原理を説明するための図



【特許請求の範囲】

【請求項1】 ホストCPU(13)と、各々が共通バス(12)に接続される複数のサブCPU(11)を有するマルチCPU(10)と、前記ホストCPUと前記マルチCPUとを接続する通信回線(15)とを備え、各前記サブCPUを制御するための制御データを、前記ホストCPUより、各前記サブCPU対応に随時書換える、制御データ書換え方法において、

(イ) 前記ホストCPUより、前記通信回線に、対応する各前記サブCPUを識別するためのフラグをそれぞれ付加した各前記制御データを送信し、

(ロ) 前記マルチCPU内の予め定めた1の前記サブCPUにて、送信された前記制御データを受信すると共に、各前記サブCPUによって共通にアクセス可能な共通メモリ(21)内における各サブCPU対応のメモリ領域(22)に該受信制御データを一旦格納し、

(ハ) 各前記サブCPUは、自内のメモリ(23)に保持していた制御データを、自己に対応する前記メモリ領域より読み取った前記制御データにて書換えることを特徴とするマルチCPUに対する制御データ書換え方法。

【請求項2】 前記共通メモリ(21)をRAMにて構成し、各前記サブCPU(11)内の前記メモリ(23)を書換え可能なROMにて構成し、該メモリ(23)内に格納された前記制御データにより当該サブCPUのイニシャルプログラムロードを行う請求項1に記載のマルチCPUに対する制御データ書換え方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、各々が共通バスに接続される複数のサブCPUを有するマルチCPUに対して制御データの書換えを行うための方法に関する。一例を挙げると、河川の増水等を各地点でモニタし、市内にあるホストCPUに通知して水位が許容限界を超える状況にあるときは警告を発する等の目的で構築される防災システムがある。

【0002】 この例における防災システムでは、監視対象となる河川に沿って各地点に配置された複数のサブCPUがマルチCPUを形成し、このマルチCPUよりそれぞれの水位情報等を検出し、市内にあるホストCPUに伝送路を介して送信し、ここで警告等に関する総合判断をする。なお、これらのサブCPU群は共通バスに接続され、この共通バスと上記伝送路を介して上記ホストCPUでの情報収集が行われる。

【0003】 ところで、上記マルチCPUを形成する各サブCPUに対してはそれぞれに対応した制御データが随時ホストCPUより供給され、新たな制御データに書換えられる。この制御データの代表例としてはイニシャルプログラムロード、いわゆるIPL用のデータがあり、各サブCPUは新制御データに従って立ち上げを行う。

【0004】

【従来の技術】 図4は従来におけるマルチCPUに対する制御データ書換え方法を表す図であり、既述した防災システムをモデルにしている。図中、10はマルチCPUであり、各々が共通バス12に接続された複数のサブCPU11からなる。マルチCPU10と中央(市内)のホストCPU13との間は伝送路14で結ばれる。通常は専用線を用いる。

【0005】 現場に置かれた各サブCPU11には、種々の監視目的に応じたセンサSが接続されており、末端の情報(水位、水速、雨量等)を収集する。これら収集情報は共通バス12および伝送路14を経由して遠方のホストCPU13に集められ、ここで総合判断が下される。ところで、各サブCPU11には、随時、前述の制御データがホストCPU13より供給される。この供給の仕方には従来次の2つの方法が採用されている。

【0006】 (1) ホストCPU13と、各サブCPU11との間を個別の通信回線15で接続し、各通信回線15を通して、各サブCPU11に制御データをダウンロードする、というものである。

(2) まず、ホストCPU13側で、そのコンソールCSを用いてフロッピーディスクFDに制御データをダウンロードし、オペレータがそのFDを持って各現場のサブCPU11に出向き、そのコンソールCSを操作して当該サブCPU11内に、持参したFD内の制御データをダウンロードする、というものである。

【0007】

【発明が解決しようとする課題】 上述した従来の2つの方法によると、上記(1)の方法では、サブCPU11の台数分の通信回線15を張らなければならない、かなりコスト増となって不経済である、という問題がある。また、上記(2)の方法では、遠距離に位置する各サブCPU11にオペレータが直接出向かなければならず、人件費の増大を招いて不経済である、という問題がある。

【0008】 したがって本発明は上記の問題点に鑑み、各サブCPUに個別に通信回線を張ったり、また各サブCPUにオペレータが直接出向いたりすることなく、マルチCPU内の各サブCPUに対し、経済的に制御データの書換えが行えるようにすることを目的とするものである。

【0009】

【課題を解決するための手段】 図1は本発明の方法の原理を説明するための図であり、本発明の方法によれば、次のステップによって制御データの書換えが実行される。

① ホストCPU13より、通信回線15に、対応する各サブCPU11を識別するためのフラグFをそれぞれ付加した各制御データを送信する。

【0010】 ② マルチCPU10内の予め定めた1のサブCPU(代表サブCPU11')にて、送信された

3

制御データを受信すると共に、各サブCPU11によって共通にアクセス可能な共通メモリ21内における各サブCPU対応のメモリ領域22に該受信制御データを一旦格納する。

③ 各サブCPU11は、自内のメモリ23に保持していた制御データを、自己に対応するメモリ領域22より読み取った新たな制御データにて書換える。

【0011】

【作用】ホストCPU13から一括してダウンロードされた各サブCPU対応の制御データは、一本の通信回線15を通して、代表のサブCPU11'にて受信される。各制御データには、対応するサブCPUを識別するためのフラグFが付加されているから、代表サブCPU11'はこのフラグFを見て、共通メモリ21内の対応メモリ領域22に一旦格納する。

【0012】各サブCPU11は随時、あるいはサブCPU11'よりIPL指令があったときに、自己に割り当てられたメモリ領域22より自己用の制御データを自律的にフェッチし、自内のメモリ23に書き込む。ここに制御データの書換えが完了する。上記方法の実施に当

【0013】

【実施例】図2は本発明の方法を適用した一実施例を示す図である。なお、全図を通じて、同様の構成要素には同一の参照番号または記号を付して示す。第2図において、共通メモリ21は、RAM(Random Access Memory)にて構成される。制御データは逐次変更されるので、書込/読出自在なRAMでなければならない。ただし、バッテリーバックアップしてあるRAMであることを要する。

【0014】各サブCPU11内のメモリ23は、EEPROM(Electrically Erasable Programmable ROM)にて構成される。つまり、書換え可能なROMである。このメモリ23を例えばRAMで構成すると、IPL時にその内容が消滅してしまう。そこで、そのメモリ23はROMであることを要する。しかし書換えができるROMでなければならない。そこで、EEPROMを採用する。

【0015】図3は本発明の方法を適用した詳細例を示す図である。ホストCPU13と、マルチCPU10との間の通信回線15はそれぞれのモデム(MDM)31を通して接続される。マルチCPU10側のモデム31

4

は、マルチCPU10内の共通バス(チャンネルバス)12と、回線制御部32を介して接続する。

① まず、ホストCPU13より制御データ(IPL用とする)がダウンロードされる。

【0016】② 上記制御データは、回線制御部32および共通バス12を介し、代表サブCPU11'の制御のもとにRAM21内の対応メモリ領域22に、格納される。

③-1 ここで、ホストCPU13よりIPL指令が送出されたとする。

③-2 代表サブCPU11'にIPL指令があったとすれば、サブCPU11'は自己に対応するメモリ領域22に格納された制御データを読み込み、

③-3 自内のメモリ23に書き込む。

【0017】その後、該当のサブCPUはその新たな制御データをもってIPLを行う。

【0018】

【発明の効果】以上説明したように本発明によれば、共通メモリ21を導入するだけで、マルチCPU10内の代表サブCPU11'が他のサブCPU群に対する制御データを一括して供給し、他のサブCPU群が自律的にこれを取り込むという動作が可能となり、マルチCPUに対する制御データの書換えが簡単かつ経済的に行える。

【図面の簡単な説明】

【図1】本発明の方法の原理を説明するための図である。

【図2】本発明の方法を適用した一実施例を示す図である。

【図3】本発明の方法を適用した詳細例を示す図である。

【図4】従来におけるマルチCPUに対する制御データ書換方法を表す図である。

【符号の説明】

10…マルチCPU

11…サブCPU

12…共通バス

13…ホストCPU

14…伝送路

15…通信回線

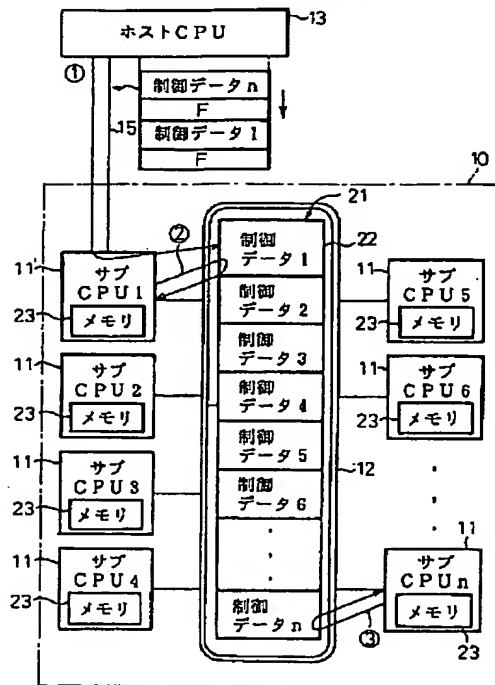
21…共通メモリ

22…メモリ領域

23…メモリ

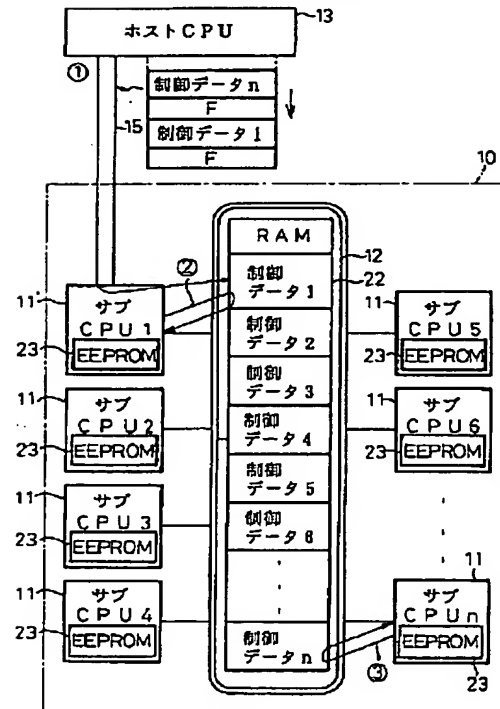
【図1】

本発明の方法の原理を説明するための図

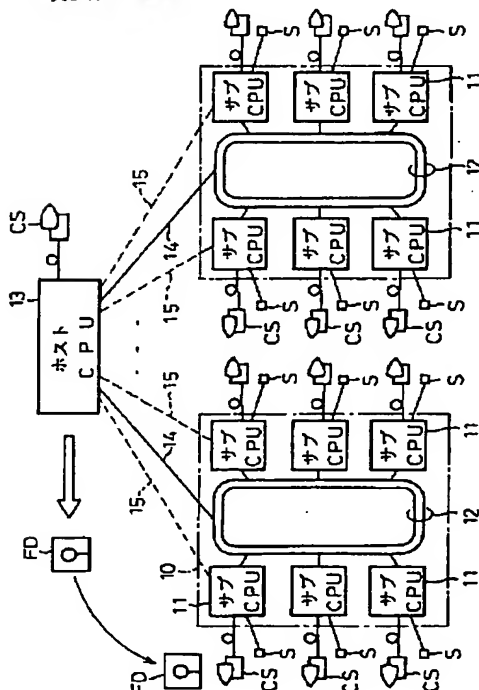


【図2】

本発明の方法を採用した一実施例を示す図



【図4】

従来におけるマルチCPUに対する制御データ
実装方法を表す図

【図3】

本発明の方法を適用した詳細例を示す図

